

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

013090716 \*\*Image available\*\*

WPI Acc No: 2000-262588/ 200023

XRPX Acc No: N00-196086

**Cold-cathode type electron emitting element for e.g. thin flat-panel display unit**

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000067736	A	20000303	JP 98229819	A	1998081	200023 B

Priority Applications (No Type Date): JP 98229819 A 19980814

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000067736	A		9	H01J-001/304	

Abstract (Basic): JP 2000067736 A

NOVELTY - A carbon film (18), provided with minute protrusions, is formed on the base of an opening (17). The surface of the carbon film exists from the cathode electrode line surface to a substrate side. The base of the opening forms a flat surface parallel to the surface of a gate electrode line (15). The opening is formed to the intersection area of a cathode electrode line (13) and the gate electrode line.

DETAILED DESCRIPTION - The gate electrode line is formed on an insulating layer (14) which is formed on the cathode electrode line. The cathode electrode line is formed on the substrate (11). INDEPENDENT CLAIMS are also included for the following: an electron emitting element manufacturing method; and a display unit.

USE - For e.g. thin flat-panel display unit.

ADVANTAGE - Improves durability since occurrences of short circuits are reduced. Reduces electron beam flare since uniform amount of electrons is discharged. Increases manufacturing yield. Obtains uniform screen brightness. DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the principal part of the basic component of the electron emitting element. (11) Substrate; (13) Cathode electrode line; (14) Insulating layer; (15) Gate electrode line; (17) Opening; (18) Carbon film.

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-67736

(P2000-67736A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 J	1/304	H 0 1 J	F 5 C 0 3 1
	9/02		B 5 C 0 3 6
	29/04		
	31/12		C

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平10-229819

(22) 出願日 平成10年8月14日 (1998.8.14)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中田 諭

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 根岸 英輔

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

Fターム (参考) 5C031 DD09 DD17 DD19

5C036 EE01 EE03 EE14 EF01 EF06

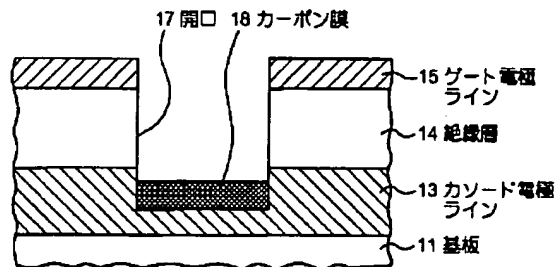
EF09 EG12 EG15 EH08 EH11

(54) 【発明の名称】 電子放出素子およびその製造方法、ならびにこれを用いたディスプレイ装置

(57) 【要約】

【課題】 駆動電圧が小さい、電界放出型の電子放出素子およびその製造方法、ならびにこれを用いたディスプレイ装置を提供する。

【解決手段】 電子放出部分となる開口17底部に、カーボン膜18を形成する。このカーボン膜18の表面は微細突起を有し、カソード電極ライン13表面より基板11側に位置する。



【特許請求の範囲】

【請求項1】 基板上に、カソード電極ラインと、絶縁層と、該カソード電極ラインと交叉するゲート電極ラインとを、この順に有するとともに、前記カソード電極ラインと前記ゲート電極ラインの交叉領域において、該ゲート電極ライン、前記絶縁層および該カソード電極ラインの厚さ方向の一部には、該カソード電極ラインに臨む開口を有する電子放出素子であって、前記開口の底面は前記ゲート電極ライン表面と平行な平面をなし、前記開口の底面にはカーボン膜を有し、前記カーボン膜表面は、複数の微細突起を有するとともに、前記カーボン膜表面は、前記カソード電極ライン表面より前記基板側に位置することを特徴とする電子放出素子。

【請求項2】 前記カーボン膜の膜厚は50nm以下であることを特徴とする請求項1記載の電子放出素子。

【請求項3】 前記開口の平面形状は、円形、楕円形、多角形およびスリット形状のうちのいずれか1種の形状をなすことを特徴とする請求項1記載の電子放出素子。

【請求項4】 前記カソード電極ラインと前記ゲート電極ラインの少なくとも交叉領域における該カソード電極ラインは、複数の層を有することを特徴とする請求項1記載の電子放出素子。

【請求項5】 前記カソード電極ラインと前記ゲート電極ラインの少なくとも交叉領域における該カソード電極ラインは、

格子状の平面形状をなし、該格子状のカソード電極ラインとカーボン膜との間に、抵抗層を有することを特徴とする請求項1記載の電子放出素子。

【請求項6】 基板上に、カソード電極ラインと、絶縁層と、該カソード電極ラインと交叉するゲート電極ラインとを、この順に形成する工程と、前記カソード電極ラインと前記ゲート電極ラインの交叉領域において、該ゲート電極ライン、前記絶縁層および該カソード電極ラインの厚さ方向の一部に、該カソード電極ラインに臨む開口を形成する工程を有する電子放出素子の製造方法であって、前記開口の形成工程は、該開口の底面を前記ゲート電極ライン表面と平行な平面に形成するものであり、さらに、前記開口底部にカーボン膜を形成する工程を有し、前記カーボン膜表面は、複数の微細突起を有するとともに、前記カーボン膜表面は、前記カソード電極ライン表面より前記基板側に位置することを特徴とする電子放出素子の製造方法。

【請求項7】 前記カーボン膜の膜厚は50nm以下であることを特徴とする請求項6記載の電子放出素子の製造方法。

【請求項8】 前記カーボン膜の形成工程は、蒸着法によることを特徴とする請求項6記載の電子放出素子の製造方法。

【請求項9】 前記カーボン膜の形成工程は、レーザアブレーション法によることを特徴とする請求項6記載の電子放出素子の製造方法。

【請求項10】 前記レーザアブレーション法におけるターゲットは、グラファイトおよびフラーレンのいずれか一方を含むことを特徴とする請求項9記載の電子放出素子の製造方法。

【請求項11】 請求項1記載の電子放出素子をマトリクス状に構成したことを特徴とするディスプレイ装置。

【請求項12】 請求項6記載の電子放出素子の製造方法により製造された電子放出素子をマトリクス状に構成したことを特徴とするディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子放出素子およびその製造方法、ならびにこれを用いたディスプレイ装置に関し、さらに詳しくは、カソード電極の電子放出面の材料および形状に特徴を有する冷陰極型（電界放出型）電子放出素子およびその製造方法、ならびにこれを用いたディスプレイ装置に関する。

【0002】

【従来の技術】薄型のフラットパネルディスプレイ装置として、パネル内部に微小な電子放出素子をマトリクス状に設け、ここに所定の駆動電圧を選択的に印加して放出した電子を、対向するパネルの蛍光面に照射し、画像を形成する、冷陰極（Cold Cathode）型あるいは電界放出（Field Emission）型のものが提案されている。

【0003】従来の冷陰極型電子放出素子を図9の概略断面図を参照して説明する。ガラス等の基板11表面に、複数のストライプ状カソード電極ライン13と、絶縁層14と、複数のストライプ状ゲート電極ライン15が形成されている。このカソード電極ラインとゲート電極ラインとは交叉、すなわち通常は直交するように配列されており、マトリクスを構成している。各カソード電極ライン13およびゲート電極ライン15は、その接続端部13c、15cで制御手段19に接続され、選択的に駆動電圧が印加される。各カソード電極ライン13およびゲート電極ライン15の交叉領域は、ディスプレイ装置の1画素に対応している。図9はこの1画素部分の概略断面図である。

【0004】この交叉領域においては、カソード電極ライン13に臨む複数の微小な開口17が、ゲート電極ライン15および絶縁層14を貫通して形成されている。

この開口17内には、円錐形状のマイクロチップ31が埋め込まれ、カソード電極ライン13と電気的に一体化されている。マイクロチップ31はWやMo等の高融点金属からなり、その尖端はゲート電極ライン15とほぼ同一面に位置する。

【0005】この交叉領域に制御手段19から所定の電圧が印加されると、各マイクロチップ31の尖端からトンネル効果により電子が放出される。この印加電圧は、マイクロチップ31の材料がMoの場合、尖端付近の電界強度が $10^8 \sim 10^{10} \text{ V/m}$ 程度に達する。

【0006】図9の電子放出素子をディスプレイ装置に適用する場合には、ゲート電極ライン15と所定の間隔を隔てて設けられた透明なパネル基板（不図示）と組み合わせ構成される。パネル基板には、やはりストライプ状のアノード電極ラインと、このアノード電極ライン上の蛍光ストライプが形成されている。アノード電極ラインは、ITO (Indium Tin Oxide) 等の透明導電材料からなり、その接続端部においてやはり制御手段19に接続されている。基板11とパネル基板間の空間は高真空領域である。

【0007】かかる構成により、マイクロチップ31尖端から放出された電子は、カソード電極ライン13とアノード電極ラインとの間に印加された電圧により加速されて蛍光ストライプに入射し、可視光に変換される。この可視光は、透明なアノード電極ラインやパネル基板を介して観察される。なおカラーディスプレイ装置の場合は、アノード電極ラインおよび蛍光ストライプを、R、G、Bの各色に対応して分割配置する。

【0008】上述した図9に示す電子放出素子は、次の問題点を有する。その第1は、マイクロチップ31、特にその尖端を均一に製造することの困難性である。この部分の形状が不均質であると、放出される電子、すなわち電流量が各画素で不均一となり、ディスプレイ装置のパネル基板上の光輝点も不均一なものとなり、画像品質が劣化する。

【0009】第2として、高真空領域に残存するガスがイオン化し、マイクロチップ31をスパッタリングすることにより、マイクロチップ31の尖端形状が経時変化で劣化し易く、放出電子量が減少する問題がある。

【0010】第3に、マイクロチップ31から放出される電子の飛行方向が基板にたてた垂線に対し $\pm 30^\circ$ 程度の範囲で広がるため、蛍光ストライプ面の発光領域も拡大する。これはディスプレイ装置の高精彩化の点で不利である。

【0011】第4は製造プロセス上の問題である。マイクロチップ31は、通常ゲート電極ライン15上にリフトオフスペースを残しておき、Mo等の高融点金属を真空蒸着して形成される。真空蒸着法の特長であるステップカバレッジの悪さを逆に利用することにより、円錐形のマイクロチップ31がセルフアラインで形成される。

この後、リフトオフスペース上にも堆積したMo等の高融点金属をリフトオフで除去する。このとき剥離した金属片が、狭い開口17内に付着すると短絡を発生する可能性が高く、製造のスループットが低下する。

【0012】これらの問題点を回避するため、平面の電子放出面を用いた電子放出素子が特開平8-55564号公報に提案されている。図10はその要部概略断面図である。図10では図9の電子放出素子と同様の機能を有する部分には同一の参照符号を付し、その説明は省略する。すなわち、基板11上にダイヤモンド等の低仕事関数物質層32および金属等の導電接触層33が形成されている。導電接触層33は、低仕事関数物質層32から $\text{SiO}_2$ 等の絶縁層14に電子が注入されることによる絶縁破壊を防止する機能を有し、必要に応じて形成される。かかる構成により、開口17底部の平面状の低仕事関数物質層32表面から、電子が効率的に放出されるというものである。

【0013】

【発明が解決しようとする課題】しかしながら、本発明者らの検討によると、図10に示す構造の電子放出素子は、低仕事関数物質層32を形成した後に、その上部構造である $\text{SiO}_2$ 等の絶縁層14等を形成しなければならないという工程上の問題がある。すなわち、低仕事関数物質層32上にスパッタリングやプラズマCVD法により $\text{SiO}_2$ 等の絶縁層14等を形成すると、低仕事関数物質層32表面がプラズマに曝されダメージを受ける。またさらに開口17を形成する際にも、低仕事関数物質層32表面がRIE (Reactive Ion Etching) によるイオン入射に曝され、ダメージを受ける。このため、低仕事関数物質層32が持つ本来の電子放出能力が十分に発揮されない。また高輝度のために必要とされる放出電子密度が得られたとしても、ゲート電極ライン15と低仕事関数物質層32との間に印加する電圧が比較的高くなり、絶縁破壊が懸念される等の問題点を有する。

【0014】本発明はこのような従来技術の問題点を鑑みてなされたものである。すなわち、本発明の課題は、駆動電圧が低く、放出される電子量が均一であるとともに電子ビームの拡がり少なく、しかも長寿命であり、短絡の虞の少ない電子放出素子およびその製造方法を提供することである。また本発明の他の課題は、かかる電子放出素子を用いた、低電圧駆動で、画面の輝度が均一であるとともに高精彩であり、製造歩留りが高く、寿命も長いディスプレイ装置を提供することである。

【0015】

【課題を解決するための手段】本発明は上述した課題を達成するために提案するものである。すなわち本発明の電子放出素子は、基板上に、カソード電極ラインと、絶縁層と、このカソード電極ラインと交叉するゲート電極ラインとを、この順に有するとともに、このカソード電極ラインとゲート電極ラインの交叉領域において、これ

らゲート電極ライン、絶縁層およびカソード電極ラインの厚さ方向の一部には、該カソード電極ラインに臨む開口を有する電子放出素子であって、この開口の底面はゲート電極ライン表面と平行な平面をなし、この開口の底部にはカーボン膜を有し、このカーボン膜表面は、複数の微細突起を有するとともに、このカーボン膜表面は、カソード電極ライン表面より基板側に位置することを特徴とする。

【0016】微細突起の高さは、例えば5nm以上30nm程度以下が望ましい。この範囲に微細突起の高さを設定することにより、電子を効率的に、しかも異常放電等の虞なく放出することができる。

【0017】つぎに本発明の電子放出素子の製造方法は、基板上に、カソード電極ラインと、絶縁層と、このカソード電極ラインと交叉するゲート電極ラインとを、この順に形成する工程と、このカソード電極ラインとゲート電極ラインの交叉領域において、これらゲート電極ライン、絶縁層およびカソード電極ラインの厚さ方向の一部に、このカソード電極ラインに臨む開口を形成する工程を有する電子放出素子の製造方法であって、この開口の形成工程は、開口の底面を前記ゲート電極ライン表面と平行な平面に形成するものであり、さらに、この開口底部にカーボン膜を形成する工程を有し、このカーボン膜表面は、複数の微細突起を有するとともに、このカーボン膜表面は、カソード電極ライン表面より基板側に位置することを特徴とする。

【0018】このカーボン膜の膜厚は50nm以下であることが望ましい。かかる膜厚を選択することにより、後述する製造工程において、蒸着やレーザアブレーションによりカーボン膜を形成する際に、開口底部以外にも堆積したカーボン膜を除去しなくても、必要な絶縁耐圧が確保される。カーボン膜の膜厚の下限は特に限定されないが、電子放出効率とその耐久性の観点から5nm以上、好ましくは10nm以上が選ばれる。

【0019】カーボン膜の形成工程は、蒸着法あるいはレーザアブレーション法によることが望ましい。またレーザアブレーション法を採用する場合には、そのターゲットはグラファイトまたはフラーレンを含むものを採用することが望ましい。かかる成膜法により、複数の微細突起を有するカーボン膜を安定に製造することができる。

【0020】本発明のディスプレイ装置は、これら電子放出素子、あるいはその製造方法により得られた電子放出素子を、マトリクス状に構成することにより得られる。

【0021】本発明で採用するカーボン膜は、その表面に複数の微細突起を高密度に有するので、電子放出の機能に優れる。これら微細突起はカーボンナノチューブ構造や、グラファイト、フラーレン等のフラグメントやポリマを含むものである。この結果、50V/ $\mu\text{m}$ 程度あ

るいはこれ以下の低電界強度であっても、高輝度のディスプレイ装置として必要な電子密度をカーボン膜表面から取り出すことができる。すなわち、絶縁層の厚さを1 $\mu\text{m}$ 程度に設定すれば、カソード電極ラインとゲート電極ラインとの間に印加する駆動電圧は数十V程度以下の低電圧で済む。

【0022】なおフラーレンは球状の骨格を持つ $\text{C}_{60}$ 分子であるが、これに近似したシェル構造を有する $\text{C}_{70}$ 等や、 $\text{C}_{59}\text{B}$ 、 $\text{C}_{59}\text{N}$ のようなヘテロフラーレン、 $\text{M}@\text{C}_{60}$ で表される金属内包フラーレンを含むものをターゲットとして用いてもよい(MはLi等の金属原子を表す)。

【0023】本発明の電子放出素子は、複数の微細突起を有するカーボン膜表面(微細突起表面)が、カソード電極ライン表面より凹んだ位置にある。このため開口底面の端部より、中心部に寄った位置にあるカーボン膜の微細突起に最大強度の電界が印加される。換言すれば、電界放出電流は、開口底面端部より、中心に寄った位置で最大となり、主としてこの位置で電子放出が生じる。

【0024】このように、主たる電子放出が発生するカーボン膜の微細突起の位置は、開口底部端面から離間しているので、電子はゲート電極ラインに入射することなく、アノード電極ラインに効率よく入射する。同様に、放出された電子は絶縁層に入射することがないので、絶縁層のチャージアップによる異常放電等の事故の虞もない。

【0025】ところで、開口底部の周縁部では、カソード電極ラインに段差が発生しているので、等電位面は大きく曲がっている。したがって、開口底部の周縁部から放出される電子は、ゲート電極ライン表面の垂直方向からずれた軌道を描き、アノード電極ラインに対しミスランディングする可能性がある。しかしながら、開口底部の周縁部の電界強度は、中心部の電界強度に比して充分小さいので、電子は放出されないか、放出されたとしても非常に低い電子密度であるので、実用上の影響は無視できる程度である。

【0026】また、カーボン膜は絶縁層の形成後、しかも開口形成後に成膜されるので、成膜後にプラズマやイオンのダメージを受けることはない。また形成方法も蒸着法あるいはレーザアブレーション法を採用することにより、形成工程においてもプラズマやイオンのダメージを受けることはない。このために、微細突起形状と合わせ、材料本来が有する電子放出性の高さを利用することができる。さらに電子放出素子としての稼働時には、真空領域に残存するガスによるスパッタリングを受けても、マイクロチップの先端のように形状変化する虞は少ない。

【0027】

【発明の実施の形態】以下本発明の電子放出素子およびその製造方法、ならびにこれを用いたディスプレイ装置



につき、図面を参照して説明する。

【0028】〔実施形態例1〕まず、本発明の電子放出素子の基本構成の要部を図1～図3を参照して説明する。これらのうち図1は電子放出素子の単位素子の概略断面図、図2は電子放出素子の単位画素領域の概略断面図、そして図3は電子放出素子の単位画素部分の概略平面図である。これらの図では、図10の電子放出素子と同様の機能を有する部分には同一の参照符号を付している。

【0029】すなわち、ガラス等の基板11表面に、複数のストライプ状カソード電極ライン13と、絶縁層14と、複数のストライプ状ゲート電極ライン15が形成されている。このカソード電極ラインとゲート電極ラインとは交叉、すなわち通常は図3に示すように直交するように配列されて単位画素を形成している。この単位画素はさらにマトリクスを構成し、後述するアノード電極ラインとともにトライオード型のディスプレイ装置を構成している。各カソード電極ライン13およびゲート電極ライン15は、その接続端部13c、15cで制御手段19に接続され、選択的に駆動電圧が印加される。

【0030】カソード電極ライン13およびゲート電極ライン15は、Nb、Mo、WあるいはCr等の金属をスパッタリング、蒸着あるいはCVD (Chemical Vapor Deposition) 法等により形成し、これをパターニングすることにより形成される。絶縁層14は $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ 等の絶縁材料やその積層あるいは複合材料からなり、これもスパッタリング、蒸着法あるいはCVD法等により形成される。

【0031】カソード電極ライン13とゲート電極ライン15との交叉領域においては、ゲート電極ライン15、絶縁層14およびカソード電極ライン13の厚さ方向の一部を貫通して開口17が形成されている。図1は一つの開口17を拡大して示す概略断面図である。

【0032】この開口17の底面には、カーボン膜18が形成されている。しかもカーボン膜18の表面は、カソード電極ライン13表面よりも基板11側に位置する。

【0033】カーボン膜18は蒸着法あるいはレーザアブレーション法により形成されたものであり、その表面には複数の微細突起を有する。走査型電子顕微鏡による観察では、この微細突起は5nm～30nm程度、平均10nm程度の高さである。

【0034】かかる電子放出素子において、制御手段19がカソード電極ライン13およびゲート電極ライン15を選択し、これら電極間に所定の電圧を印加すると、対応する画素領域の電子放出素子のカーボン膜18表面とゲート電極ライン15間の電界が形成される。カーボン膜18表面には多数の微細突起が形成されているので、その尖端に大きな電界が形成され、トンネル効果により尖端から効率的に電子が放出される。

【0035】図1～3に示した電子放出素子をディスプレイ装置に適用した場合の部分斜視図を図4に示す。図4のディスプレイ装置は、図1～3に示した電子放出素子がマトリクス状に形成されたカソード電極パネル10と、アノード電極パネル20とが所定の間隔を隔てて設けられ、構成されている。アノード電極パネル10は、ガラス等の透明基板21上に複数のアノード電極ライン22が形成されている。このアノード電極ライン22の表面には不図示の蛍光ストライプが形成されている。アノード電極ライン22は、ITO等の透明導電材料からなり、その接続端部においてやはり制御手段（不図示）に接続されている。カソード電極パネル10と、アノード電極パネル20との間の空間は高真空領域であり、やはり不図示の隔壁やシール機構により封止されている。

【0036】かかる構成により、カソード電極パネル10に形成された電子放出素子のカーボン膜から放出された電子は、制御手段によりカソード電極ライン15とアノード電極ライン22間に印加された電圧により加速されて蛍光ストライプに入射し、可視光に変換される。この可視光はアノード電極ラインやパネル基板を介して観察される。なおカラーディスプレイ装置の場合は、アノード電極ラインおよび蛍光ストライプを、R、G、Bの各色に対応して分割配置する。

【0037】つぎに図1～図3に示す電子放出素子の製造方法につき説明する。ガラス等の基板11上に、Nb等の金属膜をスパッタリング法により200nm程度の厚さに形成する。この後レジスト膜を塗布形成し、露光および現像により所定のラインアンドスペースパターン状のレジストマスクを形成する。このレジストマスクをエッチングマスクとして、RIE (Reactive Ion Etching) により金属膜をパターニングしてカソード電極ライン13を得る。エッチングガスは例えば $\text{Cl}_2$ と $\text{O}_2$ の混合ガスを用いることにより、下地の基板11とのエッチング選択比を確保する。

【0038】レジストマスクを剥離後、 $\text{SiO}_2$ をCVD法により例えば1 $\mu\text{m}$ の厚さに形成し、絶縁層14とする。

【0039】さらに絶縁層14上にNb等の金属膜をスパッタリング法により100nm程度の厚さに形成し、カソード電極ラインと同様にパターニングしてカソード電極ラインと直交するラインアンドスペースパターン状のゲート電極ライン15を得る。なおカソード電極ラインおよびゲート電極ラインのそれぞれの幅および間隔は、ディスプレイ装置のパネルサイズや解像度により決定される。

【0040】レジストマスクを剥離後、あらたにレジスト膜を形成し、ゲート電極ライン15との交叉領域に複数の円形開口パターンを有するレジストマスクとする。これをエッチングマスクとし、ゲート電極ライン15、絶縁層14およびカソード電極ライン13の厚さ方向の

一部をRIEによりパターニングし、複数の円形の開口17を得る。カソード電極ライン13は、全厚の約半分、100nm程度エッチングして開口17の底面とする。この開口17の底面は、カソード電極ライン13の表面と平行な平面となるようにパターニングする。開口17のRIEは、異なる材料の積層膜のエッチングであるので、エッチングガスを切り換えて開口を完成する。絶縁層14は例えば $\text{CHF}_3$ と $\text{CH}_2\text{F}_2$ との混合ガスによりパターニングすればよい。なおゲート電極ライン15への開口17の上部のパターニングは、ゲート電極ライン15のストライプ状パターニング時に同時におこなってもよい。

【0041】レジストマスクを剥離後、カーボン膜を50nm以下、例えば40nmの厚さに形成する。この結果、開口17の底面にはカーボン膜18が形成される。カーボン膜18表面はカソード電極ライン13表面より基板11側に位置する。カーボン膜18は、例えばフラーレンを圧縮成形したターゲットをレーザアブレーションすることにより形成される。

【0042】カーボン膜は、ゲート電極ライン15表面にも形成される。しかしながら、レーザアブレーション法あるいは蒸着法の成膜特性として、指向性が鋭いので開口17の側面にはカーボン膜はほとんど付着しない。また仮に付着したとしても、開口17底部等の平面部での膜厚が50nm以下と薄く、開口17の側面への付着はさらに薄く不連続膜となるので、ゲート電極ライン15とカソード電極ライン13とが短絡する虞はない。ゲート電極ライン15表面に形成されたカーボン膜（不図示）は除去する必要はなく、そのままゲート電極ライン15の一部として用いてよい。以上で実施形態例1の電子放出素子が完成する。

【0043】本実施形態例の電子放出素子は、カーボン膜18の表面がカソード電極ライン13の表面より基板11側に凹んで位置している。この構造のため、開口17底面の最端部から離れた位置に最大の電界がかかり、微細突起を有するカーボン膜18から放出された電子は効率よく開口17から引き出される。さらに開口17底部近傍の等電位面は、カソード電極ライン13表面と平行であり、放出された電子はカーボン膜18表面に対し垂直方向に揃って飛行する。したがって、開口17の側面やゲート電極ライン15に電子が入射する虞はなく、異常放電等の事故は発生しない。

【0044】なお本実施形態例では開口17の平面形状は円形であったが、楕円形、正方形、長方形、多角形あるいはスリット形状等であってもよい。スリット形状を採用する場合には、カソード電極ラインとゲート電極ラインとの交叉領域の単位面積あたり、多数の開口を形成することができる。

【0045】〔実施形態例2〕本実施形態例の電子放出素子は、カソード電極ライン13を、材料あるいは膜質

の異なる2層で形成したものであり、このカソード電極ライン13以外の構造は前実施形態例1に準じた構造を有する。したがって、本実施形態例の特徴部分のみを説明し、重複する説明は省略する。

【0046】図5は実施形態例2の電子放出素子の単位素子の概略断面図を示す。図5において、カソード電極ライン13は上層カソード電極ライン131と下層カソード電極ライン132の2層で構成されている。各層の厚さは、ともに100nm程度である。開口17は、ゲート電極ライン15、絶縁層14および上層カソード電極ライン131を穿って形成されている。したがって、カーボン膜18は下層カソード電極ライン132表面に形成されており、その表面は上層カソード電極ライン131の表面より基板11側に位置する。

【0047】積層カソード電極ライン材料の組み合わせとしては、エッチング特性の異なる組み合わせが好ましい。すなわち、異種の金属材料、例えばNbとCrとの組み合わせや、金属材料とその化合物の組み合わせ、例えばWとWN、Wと $\text{WSi}_2$ 等が可能である。また膜質の異なる材料の組み合わせとしては、多結晶膜と非晶質膜の組み合わせ、あるいは多孔質膜の採用等が可能である。

【0048】かかる電子放出素子構造により、上層カソード電極ライン131への開口形成を、下層カソード電極ライン132に対し、選択比の良いエッチングを施すことが可能となる。したがって、カソード電極ライン13とカーボン膜18表面との段差を、広いカソード電極パネルの全面に渡り均一に制御することができる。

【0049】したがって、カソード電極パネルの広い範囲に渡り均一な電界強度をカーボン膜18表面近傍に形成することができ、均一な放出電流密度を得ることができる。その他の構成や効果は前実施形態例1と同様である。なお本実施形態例において、カソード電極ライン13を3層以上の積層膜に形成してもよい。

【0050】〔実施形態例3〕本実施形態例は単位画素領域のカソード電極ラインを格子状に形成した例である。このカソード電極ライン13周辺以外の構造は前実施形態例1に準じた構造を有する。したがって、本実施形態例でも特徴部分のみを説明し、重複する説明は省略する。

【0051】図6は実施形態例3の電子放出素子の単位画素領域の概略平面図を示す。また図7は、図6の単位格子部分の概略断面図、すなわちA-A断面図である。図6および図7に示すように、カソード電極ライン13とゲート電極ライン15との交叉領域においてカソード電極ライン13は複数の格子状に分割されている。単位格子の平面形状は任意の形状でよいが、好ましくは正方形あるいは長方形が選ばれる。カソード電極ライン13の材料は、同じくNb、Mo、WあるいはCr等の金属でよい。

【0052】格子状のカソード電極ライン13上には薄膜13aが形成され、電気的に同電位となってカソード電極ライン13aの一部を構成している。単位格子内には、1個あるいは複数の開口17が形成されている。したがって、開口17はゲート電極ライン15、絶縁層14および薄膜13aの厚さ方向の一部を穿って形成されている。開口17の底面にはカーボン膜18が形成されており、その表面は薄膜13aの表面より基板11側に位置する。

【0053】薄膜13aの材料は金属あるいは半導体、例えばAl系金属や不純物をドーパしたSiやGe等が選ばれる。

【0054】実施形態例3の電子放出素子構造によれば、格子状のカソード電極ライン13と開口17との距離を充分にとることができる。したがって、開口17内に導体粒子等のごみが入り込んでカソード電極ライン15とゲート電極ライン13が短絡しても、カーボン膜18や薄膜13aの放電破壊あるいは絶縁破壊を防止することができる。これは薄膜13aを高抵抗材料で構成した場合に特に有利に得られる効果である。その他の構成や効果は前実施形態例1と同様である。なお、カソード電極ライン13は薄膜13aの上に接して格子状に形成してもよい。

【0055】〔実施形態例4〕本実施形態例の電子放出素子は、前実施形態例3における薄膜13aを、材料あるいは膜質の異なる2層で形成したものであり、この薄膜13a以外の構造は前実施形態例3に準じた構造を有する。すなわちカソード電極ライン13は格子状に形成されている。したがって、本実施形態例の特徴部分のみを説明し、重複する説明は省略する。

【0056】図8は実施形態例4の電子放出素子の単位格子部分の概略断面図を示す。図8において、カソード電極ライン13は、ゲート電極ライン15との交叉領域において前実施形態例3と同様に格子状に分割されている。格子状のカソード電極ライン13上には、薄膜131aおよび薄膜132aの積層からなる薄膜13aが形成され、電気的に同電位となってカソード電極ライン13の一部を構成している。単位格子内には、1個あるいは複数の開口17が形成されている。開口17はゲート電極ライン15、絶縁層14および薄膜131aを穿って形成されている。開口17の底面にはカーボン膜18が形成されており、その表面は薄膜131aの表面より基板11側に位置する。

【0057】薄膜13aの材料は金属あるいは半導体、例えばAl系金属や不純物をドーパしたSiやGe等が選ばれる。特に薄膜131aおよび薄膜132aの材料を、SiとGe、あるいは不純物濃度の異なるSi等、いずれも高抵抗材料で構成した場合には、前実施形態例3と同様な絶縁破壊あるいは放電破壊防止効果が得られる。

【0058】また薄膜131aおよび薄膜132aをエッチング特性の異なる異種の材料で構成すれば、開口17を形成する場合に、エッチング選択比の違いによるエッチングストップ効果を利用して、開口17の深さ精度をカソード電極パネル全面で均一に形成することができる。

【0059】したがって、カソード電極パネルの広い範囲に渡り均一な電界強度をカーボン膜18表面近傍に形成することができ、均一な放出電流密度を得ることができる。その他の構成や効果は前実施形態例1と同様である。なお本実施形態例においても、格子状のカソード電極ライン13を薄膜13aの上に接して形成してもよく、薄膜131aと薄膜132aの間に形成してもよい。また薄膜13aを3層以上に形成してもよい。

【0060】以上本発明を詳細に説明したが、電子放出素子の各構成部分の材料、形成方法等は適宜変更が可能である。特にカーボン膜の形成方法はフラーレンのレーザアブレーション法の他に、グラファイトのレーザアブレーション法や、グラファイトやフラーレンを含む炭素材料の蒸着法を採用することができる。すなわち、カーボン膜表面に微小突起を有する形成方法であれば本発明に採用することができる。これらの成膜方法はプラズマあるいはイオン照射を伴わないので、形成されるカーボン膜にダメージが入る虞がない。

【0061】カーボン膜を形成するにあたり、カーボン粒子の直進性の強いレーザアブレーション法や蒸着法を用いること、およびその膜厚が十分に薄いことにより、ゲート電極ライン上にも形成されるカーボン膜と開口底部に形成されるカーボン膜とは分断される。したがって、カソード電極ラインとゲート電極ライン間の電気的絶縁性を確保することができる。この電気的絶縁性の確保を一層確実なものとするためには、ゲート電極ライン上にリフトオフスペースを形成しておき、この状態でカーボン膜を形成し、ゲート電極ライン上にも形成されたカーボン膜をリフトオフすればよい。リフトオフスペースは、開口エッチング用のレジストマスクをそのまま用いてもよい。またゲート電極ラインをエッチング選択比の異なる積層で構成しておき、下層をオーバハング状にアンダカットするようにエッチングすれば、このオーバハング部分でカーボン膜を確実に分断することができる。この他に、絶縁層の側面にサイドエッチングを入れてこの部分でカーボン膜を分断してもよい。

【0062】本発明の電子放出素子は、ディスプレイ装置の他に、微小な増幅素子や整流素子、あるいは電子線をを用いる通信装置、記録装置、画像処理装置等、各種電子装置に適用することができる。

【0063】

【発明の効果】以上の説明から明らかなように、本発明によれば、駆動電圧が低く、放出される電子量が均一であるとともに電子ビームの拡がりが少なく、しかも長寿

命であり、短絡の虞の少ない電子放出素子およびその製造方法を提供することができる。

【0064】また本発明によれば、かかる電子放出素子およびその製造方法を用いた、低電圧駆動で、画面の輝度が均一であるとともに高精彩であり、製造歩留りが高く、寿命も長いディスプレイ装置を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の電子放出素子の基本構成の要部を示し、単位素子の概略断面図である。

【図2】本発明の電子放出素子の基本構成の要部を示し、単位画素領域の概略断面図である。

【図3】本発明の電子放出素子の基本構成の要部を示し、単位画素領域の概略平面図である。

【図4】本発明のディスプレイ装置の部分斜視図である。

【図5】本発明の他の電子放出素子の要部を示し、単位

素子の概略断面図である。

【図6】本発明のさらに他の電子放出素子の要部を示し、単位画素領域の概略平面図である。

【図7】図6の電子放出素子の単位格子部分の概略断面図である。

【図8】本発明のまたさらに他の電子放出素子の要部を示し、単位格子部分の概略断面図である。

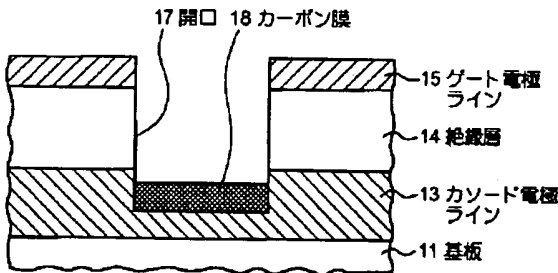
【図9】従来の電子放出素子の概略断面図である。

【図10】従来の他の電子放出素子の概略断面図である。

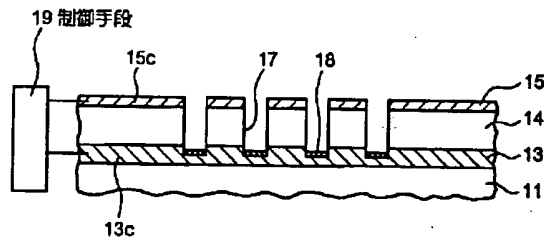
【符号の説明】

10…カソード電極パネル、11…基板、13…カソード電極ライン、13a…薄膜、14…絶縁層、15…ゲート電極ライン、17…開口、18…カーボン膜、19…制御手段、20…アノード電極パネル、21…透明基板、22…アノード電極ライン、31…マイクロチップ、32…低仕事関数物質層、33…導電接触層

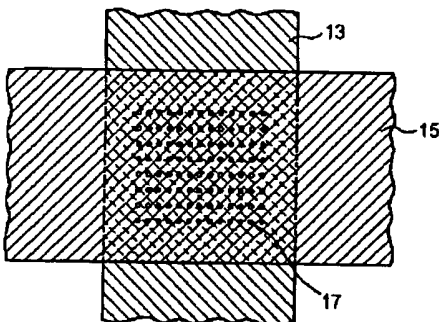
【図1】



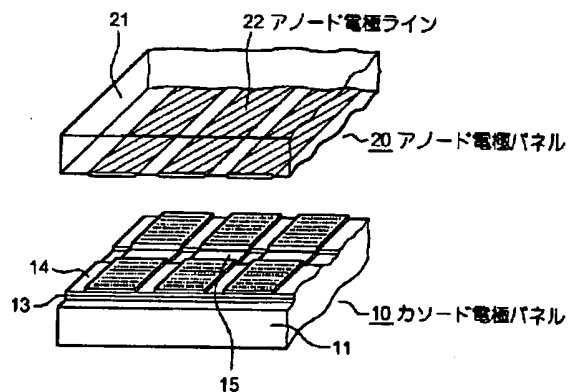
【図2】



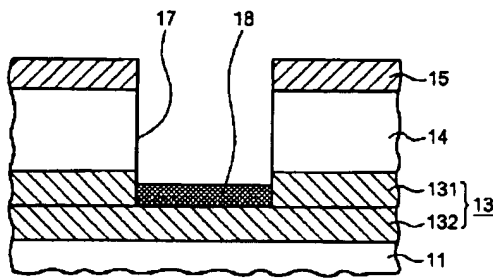
【図3】



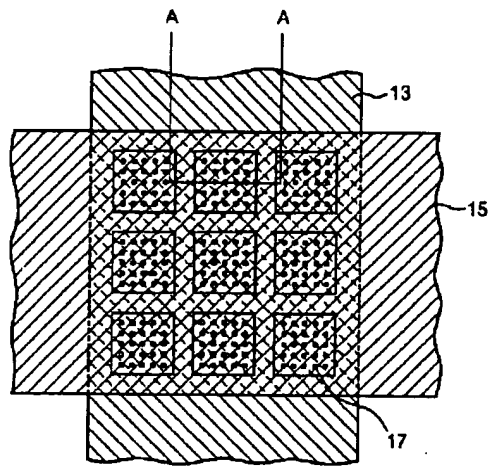
【図4】



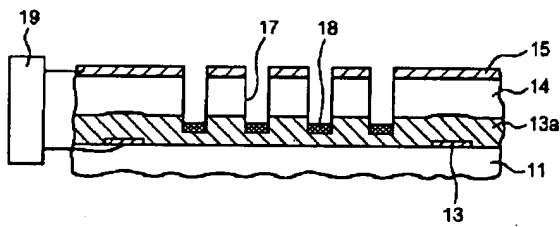
【図5】



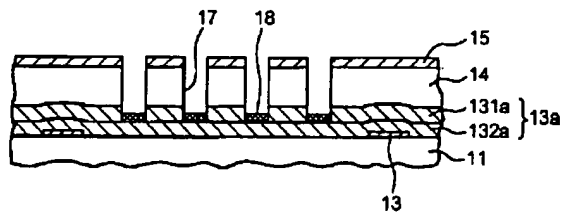
【図6】



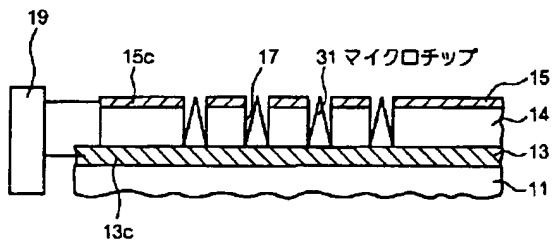
【図7】



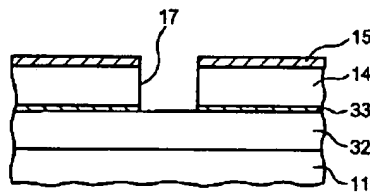
【図8】



【図9】



【図10】



**THIS PAGE BLANK (USPTO)**